

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application)

Applicant: Yamamoto et al.)

Serial No.)

Filed: April 7, 1999)

For: LIQUID CRYSTAL DISPLAY)
DEVICE)

Art Unit:)

I hereby certify that this paper is being deposited with the United States Postal Service as Express Mail in an envelope addressed to: Asst. Comm. for Patents, Washington, D.C. 20231, on this date.

04/07/99

Date

Express Mail Label No.: EM045520142US

#8
W. Law
7/16/99

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

Applicants claim foreign priority benefits under 35 U.S.C. § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 10-137247

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By

Patrick G. Burns
Patrick G. Burns
Reg. No. 29,367

April 7, 1999
Sears Tower - Suite 8660
233 South Wacker Drive
Chicago, IL 60606
(312) 993-0080

Att. No. 0441.63012
Att. Phone: (312) 993-0080

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

1c625 U.S. PTO
09/287304
04/07/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年 5月19日

出 願 番 号

Application Number:

平成10年特許願第137247号

出 願 人

Applicant(s):

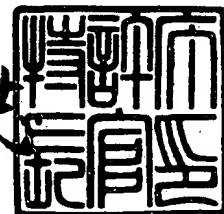
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1998年 7月31日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平10-3060798

【書類名】 特許願

【整理番号】 9708365

【提出日】 平成10年 5月19日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 G09G 3/18

【発明の名称】 液晶表示装置

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 山本 彰

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 高原 和博

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 村上 浩

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100070150

 【郵便番号】 150

 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー3.2階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】 液晶表示パネルを駆動する同一基板上に集積されたデータドライバを具備する液晶表示パネル装置において、前記液晶表示パネルのデータバスへ表示信号データを供給する、複数のブロックに分割した表示信号配線を有することを特徴とする液晶表示装置。

【請求項 2】 前記各ブロックは、前記表示信号配線から前記データバスを介して、前記表示信号データを前記液晶表示パネルへ供給するタイミングを制御するシフトレジスタを有することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記各ブロックの前記表示信号配線数より多数の出力端子を保持する表示信号供給回路を有し、前記表示信号供給回路から延在する第 2 のデータバスが、複数の前記各ブロックに分割されていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】 前記各ブロック間のスペースに、前記回路から前記表示信号配線へ前記表示信号データを出力する配線を設けた前記データドライバを有することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】 前記液晶表示パネルと同一基板上に集積されている前記データドライバと前記表示信号供給回路を含むことを特徴とする請求項 1 ないし 4 のいずれか一項記載の液晶表示装置。

【請求項 6】 前記データドライバはポリシリコン・トランジスタを含むことを特徴とする請求項 1 ないし 4 のいずれか一項記載の液晶表示装置。

【請求項 7】 前記データドライバは、点順次駆動方式で前記液晶表示パネルを駆動することを特徴とする請求項 1 ないし 4 のいずれか一項記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に関するものであり、特に周辺回路と液晶表示部を同一

基板上に集積した周辺回路一体型パネルに関する。

【0002】

【従来の技術】

従来、液晶表示パネルは数インチ程度と小型であり、配線抵抗による遅延が比較的小さい。そのため図1に示すような回路構成が使用されている。

図1に示す従来の液晶表示装置の構成は、基板10、データドライバ12、ゲートドライバ14、液晶パネル16からなる。

【0003】

同図中のデータドライバ12は、シフトレジスタ18、表示信号配線30およびここから24本のデータバス22（8組×RGB）を介したアナログスイッチ24からなり、液晶パネル16に接続されている。このデータドライバ12では、レベルシフタ24を介して制御信号26であるスタート信号DSIによってシフトレジスタ18の制御を開始し、クロック信号DCLK1およびDCLK2によってアナログスイッチ28の開閉を行い、表示信号であるR1、G1、B1～R24、G24、B24をデータバス22を介して液晶パネル16へ読み込む。

【0004】

次に、同図中のゲートドライバ14は、シフトレジスタ32、バッファ34、およびレベルシフタ36からなり、制御信号40によって制御されるレベルシフタ36とシフトレジスタ32がバッファ34を介してパネル16に接続されている。このゲートドライバ14では、レベルシフタ36を介して制御信号40であるスタート信号GSIによってシフトレジスタ32の制御を開始し、クロック信号GCLK1およびGCLK2によって、バッファ34を介して液晶パネル16中へのデータ読み込み位置をスキャンさせる。

【0005】

上記過程で、図示しない表示データは図2のように液晶表示パネル画面の左側から右側にスキャンし、はじめに最も左側の24本のデータバス22に付加されたアナログスイッチ28を導通させ24本のデータバス22にデータを書く。そして次に、シフトレジスタ18が、上記24本のデータバス22の右隣のアナログスイッチ28を導通させ、これに対応するデータバス22にデータを書く。こ

の過程を繰り返して、表示パネルの第1本目の走査線に対応するデータバスに上記データが送られた段階で、表示パネルの上記第1の走査線にデータを書き込む。同様にして液晶表示パネルの各走査線に対して、シフトレジスタ32を制御して図2の右方ヘスキャンさせて、上記過程を繰り返し、表示パネル全画面にデータを書き込む。このように1つのデータバスに時間的にずらして順番にデータを書く方式は点順次駆動方式と呼ばれている。パネルの画素数が $800 \times \text{RGB} \times 600$ ドットの場合には、制御信号26のクロック周波数は40MHzである。これをデータバスの組数である8つに分割すると1組が5MHz(200ns)となる。わずか200nsの期間内に1組のデータバス(8本 \times RGB)に書き込みを行わなければならない。通常、数インチ程度の小型パネルではアルミ配線にするとデータバス22の抵抗が数k Ω 、またデータバス22の容量は10pF程度である。時定数 τ は数k $\Omega \times 10 \text{ pF} = 30 \text{ ns}$ であるので完全補充するために多めに時定数 $\tau = (\text{抵抗}) \times (\text{容量})$ の5倍の時間を必要と仮定しても約150nsもあればよくこれまでは問題とされなかった。

【0006】

【発明が解決しようとする課題】

しかしながら、液晶パネルが10型(10インチ)程度に大型化するとデータバス抵抗が10k Ω 以上になる。また表示信号配線20等の抵抗も無視できなくなる。そこで表示信号配線20の数を増加させて抵抗値を下げれば良いが、前記分割数が多い場合は表示信号供給回路(後述;図12参照)を個別部品で回路設計すると回路面積および消費電力が大となる。そこで大量生産されてコストが低く、低電力化も進んでいるアモルファスシリコン液晶パネル対応の汎用の図示しないデータドライバIC(300本出力)を使用し、表示信号配線42に接続することにより、上記問題を回避することができる(図3参照)。同図のように、表示信号配線42の数を増加する(300本)とデータバスの書き込み期間も長くできるので、表示信号配線42の1本あたりの幅を細くしても充電時間に問題はないが、それでも図3のように表示信号配線42の領域の幅が6.0mmになり、周辺回路サイズが増すことになる。

【0007】

そこで周辺回路面積を縮小するために前記データドライバICの出力の一部だけ(100本程度)を使用した場合には、前記データドライバICの出力抵抗が大きいので短い時間でデータバス22の容量を充電することが出来ない。また表示信号配線42の本数を少なくするとデータバス22の書き込み時間が短くなるめ、表示信号配線42を太くしなければならない。たとえば表示信号配線42の幅を90 μ mとして、データバス22の幅を5 μ mとすると表示信号配線42の1本あたりのデータバス22とのクロス容量は150pFにもなる。前記データドライバICで駆動できるのは数十pFまでである。結局、300本すべて使用した場合が最も駆動条件的には余裕がある。しかし300本の場合でも表示信号配線42のクロス容量は20pF程度あり、前記データドライバICでの駆動が困難となる。以上のように、表示信号配線42のクロス容量を減少させて、さらに表示信号配線42の占める領域の幅を減少させなければ前記データドライバICを適用することはできない。

【0008】

以上のように、液晶表示パネル16が大型化した場合に問題となる配線抵抗の増大と、これに伴うデータドライバ12の駆動能力の減少を補う上で生じる、周辺回路の面積および消費電力の増大は、液晶表示パネルの小型化、低消費電力化を妨げるものであった。

よって本発明は、上記課題を解決し、小型かつ低電力消費の液晶パネル表示装置を提供することを目的とするものである。

【0009】

【課題を解決するための手段】

上記課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

請求項1項記載の発明では、液晶表示パネルを駆動する同一基板上に集積されたデータドライバを具備する液晶表示パネル装置において、前記液晶表示パネルのデータバスへ表示信号データを供給する、複数のブロックに分割した表示信号配線を有することを特徴とする。

【0010】

上記手段を講じることによって以下の効果が得られる。

表示信号配線を複数のブロックに分割して、各ブロックへのデータ信号供給を同時に行うことによって、各ブロック中の表示信号配線数を減少させることができ、その結果、表示信号配線の配線領域の面積が減少し、さらに配線間のクロス容量を抑制することができ、消費電力の低減化を達成できる。

【0011】

請求項2項記載の発明では、前記各ブロックは、前記表示信号配線から前記データバスを介して、前記表示信号データを前記液晶表示パネルへ供給するタイミングを制御するシフトレジスタを有することを特徴とする。

上記手段を講じることによって以下の効果が得られる。

前記各ブロックにおいて、前記表示信号配線から前記データバスを介して前記表示信号データを前記液晶表示パネルへ供給する際に、所定の前記データバスを選択することによって、前記液晶表示パネルの所定の位置に前記表示信号データを書き込むことができる。

【0012】

請求項3項記載の発明では、前記各ブロックの前記表示信号配線数より多数の出力端子を保持する表示信号供給回路を有し、前記表示信号供給回路から延在する第2のデータバスが、複数の前記各ブロックに分割されていることを特徴とする。

上記手段を講じることによって以下の効果が得られる。

【0013】

表示信号配線幅が減少することによって、表示信号配線とデータバスとの間のクロス容量が減少すると共に、回路面積全体が縮小され、また、液晶表示パネルへの書き込み回数も大きく削減される。

請求項4項記載の発明では、前記各ブロック間のスペースに、前記回路から前記表示信号配線へ前記表示信号データを出力する配線を設けた前記データドライバを有することを特徴とする。

【0014】

上記手段を講じることによって以下の効果が得られる。

汎用品の多出力の表示信号供給回路の出力端子を無駄なく使用することができる。

請求項 5 項記載の発明では、前記液晶表示パネルと同一基板上に集積されている前記データドライバと前記表示信号供給回路を含むことを特徴とする。

【0015】

上記手段を講じることによって以下の効果が得られる。

表示部と同一基板上に表示信号供給回路を集積することにより、前記表示部と前記表示信号供給回路が共通する半導体プロセスにより生産できるため、生産コストが低減され、かつ外部回路との接続端子数が減少することになり、信頼性が向上する。

【0016】

請求項 6 項記載の発明では、前記データドライバはポリシリコン・トランジスタを含むことを特徴とする。

上記手段を講じることによって以下の効果が得られる。

ポリシリコン・トランジスタの特性としてのスイッチングの高速性と製作プロセスの安定性、さらに低消費電力性等の特性を生かすことができる。

【0017】

請求項 7 項記載の発明では、前記データドライバは、点順次駆動方式で前記液晶表示パネルを駆動することを特徴とする。

上記手段を講じることによって以下の効果が得られる。

表示信号データの液晶表示パネルへの書き込みを、効率良く行うことができる。

【0018】

【発明の実施の形態】

本発明の実施の形態の基本構成を図 4 に示す。尚、図 1 に示す構成要素と同一のものには同一の参照番号を付し、その説明を省略する。

図 4 の構成は、前記従来例（図 1）におけるデータドライバ 12 を 4 つのブロック 46A～46D に分割し、300 本の表示信号配線 20（図 1）を一括して駆動していたデータドライバ 12 を、75 本ずつの表示信号配線 64A～64D

(以降図4参照)に分割し、それぞれにシフトレジスタ48A~48Dを設けた構造としたデータドライバ46からなる。この構造をとる事により表示信号配線領域64A~64Dの幅は図示するように1.5mmに低減される。

【0019】

このような構造をとった場合の表示信号62の書き込みの過程は図5に示すように、4つのブロック48A~48Dにおいてそれぞれが並列して、液晶パネル16中の対応する場所に行き、従って書き込み回数も原理的には1/4に低減される事になる。

[実施例1]

具体的な本実施例を図6に示す。本実施例では表示信号62の供給回路としてTAB・IC76を使用している。

【0020】

まず、図6の構成を説明する。

データドライバ70は図4の構成と同様に、4つのブロック72A~72Dからなり、それぞれがシフトレジスタ48A~48D、レベルシフタ50A~50D、TAB・IC76から各ブロックごとに表示信号を供給される75本ずつの表示信号配線74A~74Dと、これらと液晶表示パネル16を、アナログスイッチ66を介したデータバス68A~68Dによって接続されている。シフトレジスタのブロックの1つ72Aを拡大して示したのが図7である。一方、ゲートドライバ14は図4と同様である。なお、TAB・IC76へは、後に述べるように表示信号供給回路群114(図11および図12参照)から表示信号が供給される。

【0021】

図6の動作原理として、まず、TAB・IC76に4ブロック72A~72Dへ供給すべき表示データ(4ブロック×75本=300本)を後述するように入力する。次にTAB・IC76への出力指示信号LE(ラッチイネーブル;図8参照)により表示信号配線74A~74Dに表示信号62(D1~D75)を供給する。シフトレジスタ48A~48Dに制御信号60中の図示しないスタートパルスを入れてアナログスイッチ66を導通し、最初の75本×4ブロックのデ

ータバス68A～68Dに表示信号62を書く。そして次の表示データ62をTAB・IC76にセットし、4ブロックすべてのシフトレジスタ48A～48Dを右に1つシフトさせ、再び出力指示信号LEを与えて表示信号配線74A～74Dに表示信号62を供給し、右となりの表示信号配線（4ブロック×75本）に表示信号62を書く。以下この過程を同様に繰り返す。4ブロックのシフトレジスタ48A～48Dにはそれぞれ同じタイミングで制御信号60中の前記スタートパルスを供給してTAB・IC76の出力指示信号LEと同期してシフトする。したがって4個のブロック72A～72Dで制御信号60におけるスタートパルス（DSI）とクロック（DCLK1, DCLK2）配線を共用することもできる。

【0022】

図7は、図6中のデータドライバの1つのブロック72Aを拡大して示したものである。同図は、図示しないTAB・IC76に接続された75本の表示信号配線74Aと、これと液晶表示パネル16を結ぶデータバス68Aが、データR、G、Bについて各々200個ずつ計600個のアナログスイッチ66を介して、これを制御するシフトレジスタ48Aの各ビットに対応した8本のアナログスイッチ制御配線67A、および前記シフトレジスタ48Aを制御するレベルシフタ50Aからなっている。

【0023】

前記TAB・IC76から供給された表示信号は、表示信号配線74Aに入り、シフトレジスタ48Aによるアナログスイッチ66の制御によって各ビットごとに表示データが液晶パネル16へ送り出される。

図8、図9および図10は、それぞれTAB・IC76の内部構成、TAB・IC76への表示信号供給回路および、そのタイミング図を示す。

【0024】

図8において、TAB・IC76は、シフトレジスタ80と2つのデジタル8ビットラッチ群88、90、およびD/Aコンバータ94とからなる。R、G、B各8ビットの信号86A～86Cはそれぞれ、スタートパルスSPとクロックパルスCLKによって制御されるシフトレジスタ80によってデジタル8ビット

ラッチ群 88 を制御しながら、24 ビットずつここに取り込まれる。デジタル 8 ビットラッチ 88 にすべて取り込まれた段階でこれらを一括して、出力指示信号 LE によって制御されるデジタル 8 ビットラッチ 90 に移され、D/A コンバータ 94 によって D/A 変換されて、TAB・IC 76 から出力される 4 組計 300 本の表示信号となる。

【0025】

図 9 に示す表示信号供給回路 114 は、R、G、B それぞれに対応した FIFO メモリ 100、101、102 と、R 信号に対する入力側のスイッチ $wa_r 1, wb_r 1, wc_r 1, wd_r 1$ と出力側のスイッチ $ra_r 1, rb_r 1, rc_r 1, rd_r 1$ 、G 信号に対する入力側のスイッチ $wa_g 1, wb_g 1, wc_g 1, wd_g 1$ と出力側のスイッチ $ra_g 1, rb_g 1, rc_g 1, rd_g 1$ 、および B 信号に対する入力側のスイッチ $wa_b 1, wb_b 1, wc_b 1, wd_b 1$ と出力側のスイッチ $ra_b 1, rb_b 1, rc_b 1, rd_b 1$ とを有し、TAB・IC 76 に前記 R、G、B 信号 86A~86C を供給する。また、前記各 FIFO メモリ 100~102 は、800 個の R、G、B 各信号に対して、それぞれ 200 個ずつに分割した 4 つのブロックからなっている。

【0026】

図 5 のように画面を 4 分割して同時に表示操作するためには、TAB・IC 76 から出力する最初のデータは、上述した図 9 の 4 分割した各 FIFO メモリ中の各ブロックに対応する R、G、B それぞれについて、1~25 番目、201~225 番目、401~425 番目、601~625 番目のデータバスの信号である。

【0027】

これを実行するために 3 組の各 FIFO メモリ 100、101、102 において、1 水平期間のデータをあらかじめ 4 ブロックに分けておく。1 水平期間の画面素数は 800 なのでスイッチ $wa_r 1, wb_r 1, wc_r 1, wd_r 1$ 、 $wa_g 1, wb_g 1, wc_g 1, wd_g 1$ 、 $wa_b 1, wb_b 1, wc_b 1, wd_b 1$ を図 10 のタイミングで 200 クロックずつ順番に道通する。これによって、R、G、B のデータは 3 組の FIFO メモリの R、G、B の各スイッチ $wa_r 1, wb_r 1, wc_r 1, wd_r 1$ 、 $wa_g 1, wb_g 1, wc_g 1, wd_g 1$ 、 $wa_b 1, wb_b 1, wc_b 1, wd_b 1$ 各々の開閉によって 200 ずつのデータに振り分け

、4ブロックずつに分けることができる。FIFOメモリ100、101、102に入ったデータは、次の1水平期間においてR、G、Bそれぞれのスイッチ $ra_r 1, ra_g 1, ra_b 1$ を導通し、1クロックの開閉で25個のデータをTAB・IC76に転送する。同様に、次に $rb_r 1, rb_g 1, rb_b 1$ を、次に $rc_r 1, rc_g 1, rc_b 1$ を、次に $rd_r 1, rd_g 1, rd_b 1$ を順に導通し、それぞれ1クロックの開閉で25個のデータをTAB・IC76に転送する。以上により4ブロック×RGB(3信号)×25個=300本のデータがTAB・IC76に転送される。すべて転送後にTAB・IC76に出力指示信号LE(図8および図10参照)を与え、表示信号配線74A~74Dに供給される。ここで出力指示信号LEはタイミング図では高電位のときに有効となる(正論理)。このときスイッチ $ra_r 1, rb_r 1, rc_r 1, rd_r 1, ra_g 1, rb_g 1, rc_g 1, rd_g 1, ra_b 1, rb_b 1, rc_b 1, rd_b 1$ はオフ(開いた状態; タイミング図では低電位)になっているが、これは通常のTAB・ICは取り込んだデータを出力端子に出力するときに5クロック程度の時間は次のデータを取り込んではいない仕様になっているためである。以上の操作を計8回(図10における $ra_r \sim rd_b, rb_r \sim rd_b, rc_r \sim rd_b$ およびLE信号のクロック回数に相当する)繰り返すことにより、1水平期間内の表示データの表示(300本×8回=2400本)が完了する。

【0028】

以上説明した各部を有する液晶表示装置の全体構成を図11に示す。液晶表示パネル16、データドライバ70、ゲートドライバ14、およびTAB・IC76とこれらを結ぶ制御信号配線40等を構成要素とする液晶表示装置119と、表示信号供給回路群114とを、フレキケーブル112中の制御信号100等によって接続したものである。

【0029】

表示信号供給回路群114を図12において説明すると、表示信号供給回路群114は表示信号供給回路115とタイミング回路116を有する。タイミング回路116は外部からの水平同期信号、垂直同期信号117によって、表示信号供給回路115のスイッチ $wa_r 1, ra_r 1$ 等を制御するタイミング信号118、およびGSI、GCLK1、GCLK2等の制御信号100を生成し、液晶表示

装置119におけるデータドライバ70、ゲートドライバ14に出力することになる。なお、前記制御信号100は、図6におけるデータドライバ70の制御信号60をも含む同一のケーブルによって、表示信号供給回路115と結ばれている。

[実施例2]

実施例2を図13に示す。本実施例では表示信号62の供給回路としてTAB・IC(a)124およびTAB・IC(b)126を使用している。

【0030】

まず、同図の構成を説明する。

データドライバは実施例1と同様に4つのブロック122A~122Dからなり、それぞれがシフトレジスタ48A~48D、レベルシフタ50A~50D、75本ずつの表示信号62とアナログスイッチ66からなり、液晶パネル16に接続されている。一方、ゲートドライバ14では、制御信号40がレベルシフタ36とシフトレジスタ32およびバッファ34を介してパネル16に接続されている。

【0031】

同図動作原理として、まず、TAB・IC(a)124、TAB・IC(b)126に2ブロックずつ計4ブロックの表示データ(2ブロック×75本×2=300本)を入力する。次にTAB・IC(a)124、TAB・IC(b)126への図示しない出力指示信号により表示信号配線74A~74Dに表示信号62を供給する。シフトレジスタ48A~48Dに図示しないスタートパルスを入れてアナログスイッチ66を導通し最初の75本×2ブロック×2のデータバス68A~68Dに表示信号62を書く。そして次の表示データをTAB・IC(a)124、TAB・IC(b)126にセットし、4ブロックすべてのシフトレジスタ48A~48Dを右に1つシフトさせ、再び出力表示信号を与えて表示信号配線74A~74Dに表示信号62を供給し、右となりのデータバス(2ブロック×75本×2)に表示信号62を書く。以下この過程を同様に繰り返す。4ブロックのシフトレジスタ48A~48Dにはそれぞれ同じタイミングで前記スタートパルスを供給してTAB・IC(a)124、TAB・IC(b)126

26の前記出力指示信号と同期してシフトする。

【0032】

図14、15にTAB・IC(a)124、TAB・IC(b)126へのデータ転送回路および、そのタイミング図を示す。

図14の構成は、信号RはFIFOメモリ130を介して、スイッチ $wa_r 2, wb_r 2, wc_r 2, wd_r 2$ から入力して $ra_r 2, rb_r 2, rc_r 2, rd_r 2$ から出力し、信号GはFIFOメモリ131を介して、スイッチ $wa_g 2, wb_g 2, wc_g 2, wd_g 2$ から入力して $ra_g 2, rb_g 2, rc_g 2, rd_g 2$ から出力し、信号BはFIFOメモリ132を介して、スイッチ $wa_b 2, wb_b 2, wc_b 2, wd_b 2$ から入力して $ra_b 2, rb_b 2, rc_b 2, rd_b 2$ から出力し、図のように、TAB・IC(a)124およびTAB・IC(b)126へ、それぞれ転送される。

【0033】

図5のように表示操作するためにはTAB・IC(a)124から出力する最初のデータはR、G、Bそれぞれ1～25番目、201～225番目、およびTAB・IC(b)126から出力するデータはR、G、Bそれぞれ401～425番目、601～625番目のデータバスの信号である。FIFOメモリ130、131、132に入ったデータは次の1水平期間においてR、G、Bそれぞれのスイッチ $ra_r 2, ra_g 2, ra_b 2$ を導通し各25個のデータをTAB・IC(a)124に転送する。以下、実施例1の場合と同様に、スイッチ $rb_r 2, ra_g 2, rb_g 2, ra_b 2, rb_b 2$ からはTAB・IC(a)124へ、 $rc_r 2, rd_r 2, rc_g 2, rd_g 2, rc_b 2, rd_b 2$ からはTAB・IC(b)126へ転送される。以上により4ブロック×RGB×25個=300本のデータが各TAB・ICに転送される。すべて転送後にTAB・IC(a)124、(b)126に出力指示信号LEを与えて、表示信号配線74A～74Dに供給される。以上同様の操作を計8回繰り返すことにより、1水平期間内の表示データの表示(300本×8回=2400本)が完了する。

このようにTAB・ICを2つ124、126に分け、さらにTAB・IC1

24、126から表示信号配線74A～74Dへの接続配線をブロックとブロッ

クの間を通すことによって水平方向へ分配するための配線が不要になる。従ってスペースが節約でき、さらに信号配線を短くすることが出来るので配線抵抗による遅延も抑制できる。TAB・ICを1つ使用する場合(図6)と比較して回路幅を1.5mmほど小さく出来る。

[実施例3]

図16は、TAB・ICを使用せずに画素と同一基板上に作られたオンパネルドライバ134を表示信号配線74A~74Dに接続した例である。本図の構成および動作原理を以下に記す。

【0034】

データドライバ121は4つのブロック122A~122Dからなり、それぞれは、オンパネル・デジタルドライバ134へ接続されている。以下各構成は、実施例2と同様である。

同図動作原理として、まず、オンパネル・デジタルドライバ134に4ブロックの表示データ(4ブロック×75本=300本)を入力する。次にオンパネル・デジタルドライバ134への図示しない出力指示信号により表示信号配線74A~74Dに表示信号62を供給する。シフトレジスタ48A~48Dに図示しないスタートパルスを入れてアナログスイッチ66を道通し最初の75本×4ブロックのデータバス68A~68Dに表示信号62を書く。そして次の表示データをオンパネル・デジタルドライバ134にセットし、4ブロックすべてのシフトレジスタ48A~48Dを右に1つシフトさせ、再び前記出力指示信号を与えて表示信号配線74A~74Dに表示信号62を供給し、右となりのデータバス(4ブロック×75本)に表示信号62を書く。以下この過程を同様に繰り返す。4ブロックのシフトレジスタ48A~48Dにはそれぞれ同じタイミングでスタートパルスを供給してオンパネル・デジタルドライバ134の出力指示信号と同期してシフトする。したがって前実施例と同様に4個のブロックでスタートパルス(DSI)とクロック(DCLK1, DCLK2)配線を共用することもできる。

【0035】

オンパネル・デジタルドライバ134を含め、すべて液晶パネル上に回路が作

られるので接続点数の大幅な削減、装置全体での縮小化がはかられる。

図17はTAB・IC76（図8）におけるデジタル8ビットラッチ90のブロック構成図を示す。ビット端子（BIT0～BIT7）に入力されたデータはラッチイネーブル（LE）によるゲートスイッチ136の開閉によって電荷の流入を制御し、コンデンサ137において保持される。また、保持されたデータは、インバータ回路138による電位の制御によって放出される。TAB・IC76（図8）におけるデジタル8ビットラッチ88（図8）については、ビット端子へのデータ取り込みはシフトレジスタ80（図8）によって制御される。

【0036】

図18は同様に図8におけるD/Aコンバータ94のブロック構成図を示す。

同図は、ゲート用のトランジスタ150～157と、抵抗用のトランジスタ140～147（チャネル幅は図のように $1\mu\text{m}$ ～ $128\mu\text{m}$ まで倍ずつ増しており、従ってドレイン電流はチャネル幅とともに倍ずつ増える）からなっている。トランジスタ140～147のドレイン側には常に定電圧VDDが供給されている。各トランジスタ150～157の電流値は、定電圧VDDとトランジスタ140～147の抵抗値によって決められる。一方、図8中の各D/Aコンバータ94へ入力される8ビットは、図18のトランジスタ150～157のゲート端子BIT0～BIT7に対応し、各ビットが'LOW'（低電位）の時に各トランジスタは道通する。したがって、各ビットの状態に応じて、加算された電流値が出力160として、図8のR、G、B信号として得られる。

〔実施例4〕

実施例4を図19に示す。

【0037】

本実施例では、表示信号配線数を減らし1ブロックについて6本としたものであって、構成は以下のものである。

データドライバは実施例1と同様に4つのブロックからなり、それぞれがシフトレジスタ48A～48D、レベルシフタ50A～50D、6本ずつの表示信号166A～166Dとアナログスイッチ164からなり、液晶パネル16に接続されている。一方、ゲートドライバも同様に、制御信号40がレベルシフタ36

とシフトレジスタ32およびバッファ34を介してパネル16に接続されている。前記例での各ブロックの表示信号配線への供給回路としてのTAB・ICあるいはオンパネル・デジタルドライバの選択は任意である。前実施例では全ての表示信号に対応して表示信号配線を設けていたのに対し、本実施例では少数の表示信号配線(6本)を複数の表示信号で共用することにより、配線数を減らしたものである。

【0038】

同図動作原理として、まず、図示しないTAB・ICもしくはオンパネル・デジタルドライバに4つのブロックの表示データ(4ブロック×6本=24本)として例えば「R1G1B1R2G2B2」を入力する。次に図示しないTAB・ICもしくはオンパネル・デジタルドライバへの図示しない出力指示信号により表示信号配線166A~166Dに表示信号162を供給する。シフトレジスタ48A~48Dに図示しないスタートパルスを入れてアナログスイッチ164を導通し最初の6本×4ブロックのデータバス168A~168Dに表示信号162を書く。そして次の表示データとして例えば上記同一のブロックに対して「R3G3B3R4G4B4」を図示しないTAB・ICもしくはオンパネル・デジタルドライバにセットして同一のデータバス中の前記「R1G1B1R2G2B2」の次の位置に書き、同様に1つのブロックについて75本のデータを1つのデータバスに書き込み、続いて4ブロックすべてのシフトレジスタ48A~48Dを右に1つシフトさせ、再び出力指示信号を与えて表示信号配線166A~166Bに表示信号162を供給し、右となりのデータバス(4ブロック×75本)に表示信号162を書く。以下この過程を同様に繰り返す。4ブロックのシフトレジスタ48A~48Dにはそれぞれ同じタイミングで図示しないスタートパルスを供給して図示しないTAB・ICの出力指示信号と同期してシフトする。したがって4個のブロックで前記スタートパルス(DSI)と図示しないクロック(DCLK1, DCLK2)配線を共用することもできる。以上のように、表示信号配線166A~166Dを300本程度に増やさなくても図18のように4ブロック×6本程度にすることができる。この場合はパネルへの表示信号配線の入力数は従来の図1と同じく24本であり同様の表示信号供給回路を使用でき

るが、ブロックごとの表示信号配線は24本から6本へと減少するので表示信号配線166A~166Dの領域幅を0.6mmに抑制でき、全体の回路サイズも3.6mmに出来るので効果が大である。さらに従来と比較すると表示信号配線とデータバスとのクロス容量が100pF程度あったので表示信号供給回路の設計が大がかりで消費電力も大であったが、データドライバを4ブロックに分割したことにより1/4のクロス容量にすることができる。

【0039】

最後に、表示パネルの構造について説明する。図20に示すように、ガラス基板180上に活性層としてポリシリコン層182を有し、ゲート絶縁膜としてSiO₂層184およびポリシリコン電極186がパターニング形成される。その後絶縁膜188によるリフロー後、ソース電極192およびドレイン電極194形成のためのコンタクト・ホール196、198がフォトリソおよびドライ・エッチング工程によって形成され、リン等をドーパしたポリシリコンを埋め込むことにより、ソース電極192およびドレイン電極194が形成される。最後に保護膜形成として絶縁膜200をリフローすることにより、表示パネルおよびその周辺回路を含む液晶表示装置全体の、基本となるトランジスタの全てに使用されるポリシリコン・トランジスタが形成される。

【0040】

【発明の効果】

本発明により表示信号配線領域を縮小させることができるため、パネルの周辺部をも縮小化することが可能である。また表示信号配線とデータバスのクロス容量が減少するので、汎用のデータドライバICを使用することができ、低コスト化、低消費電力化をはかることが出来る。

【図面の簡単な説明】

【図1】

従来の点順次駆動回路の構成図である。

【図2】

従来の点順次駆動回路の表示信号の書き込み方法を示す図である。

【図3】

表示信号の入力本数を増した例を示す図である。

【図 4】

本発明の実施の形態の基本構成を示す図である。

【図 5】

図 4 の回路における表示信号の書き込み方法を示す図である。

【図 6】

実施例 1 を示す図である。

【図 7】

実施例 1 中のブロック 72A の拡大図である。

【図 8】

図 6 の TAB・IC76 の内部構成を示す図である。

【図 9】

実施例 1 の表示信号供給回路を示す図である。

【図 10】

実施例 1 の表示信号供給回路のタイミング図である。

【図 11】

液晶表示装置の全体構成を示す図である。

【図 12】

図 11 の液晶表示装置の全体構成における表示信号供給回路群 114 の構成図である。

【図 13】

実施例 2 を示す図である。

【図 14】

実施例 2 における表示信号供給回路の構成を示す図である。

【図 15】

実施例 2 における表示信号供給回路のタイミング図である。

【図 16】

実施例 3 を示す図である。

【図 17】

実施例 3 におけるデジタル 8 ビットラッチのブロック構成図である。

【図 18】

実施例 3 における 8 ビット D/A 内部のブロック構成図である。

【図 19】

実施例 4 を示す図である。

【図 20】

液晶表示パネルの画素として用いられるポリシリコントランジスタの断面構造図である。

【符号の説明】

- 10、 基板
- 12、 データドライバ
- 14、 ゲートドライバ
- 16、 液晶パネル
- 18、 シフトレジスタ (100 ビット)
- 20、 表示信号配線
- 22、 データバス
- 24、 レベルシフタ
- 26、 制御信号
- 28、 アナログスイッチ
- 30、 表示信号 (24 本; R1G1B1~R8G8B8)
- 32、 シフトレジスタ (600 ビット)
- 34、 バッファ
- 36、 レベルシフタ
- 40、 制御信号
- 42、 表示信号配線
- 44、 表示信号 (300 本; D1~D300)
- 46、 表示信号配線とシフトレジスタを複数ブロックに分割した点順次ドライバ
- 46A~46D、 データドライバ 46 を分割したブロック

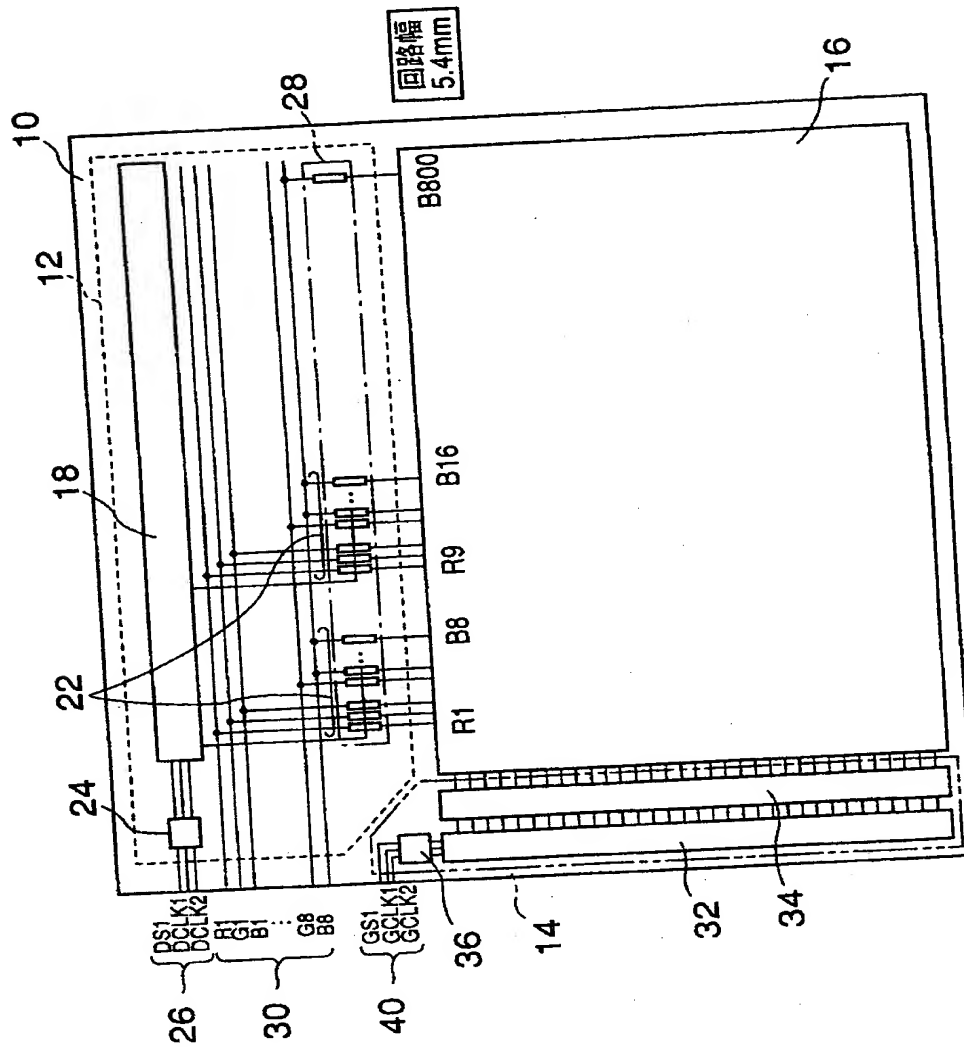
- 48A~48D、 各ブロックごとの8ビットシフトレジスタ
- 50A~50D、 レベルシフタ
- 62、 表示信号(75本; D1~D75))
- 64A~64D、 表示信号配線
- 66、 アナログスイッチ(1.0mm)
- 68A~68D、 各ブロックごとのデータバス
- 70、 データドライバ
- 72A~72D、 各ブロックのデータドライバ
- 74A~74D、 各ブロックの表示信号配線
- 76、 TAB・IC(300ビット)
- 78A~78D、 TAB・ICと表示信号間のデータバス
- 80、 シフトレジスタ
- 86A~86D、 R、G、Bの各データ線
- 88、 デジタル8ビットラッチ
- 90、 デジタル8ビットラッチ
- 94、 D/Aコンバータ
- 96、 R、G、Bデータ線
- 98、 ASIC・IC
- 100、101、102、130、131、132、 FIFOメモリ
- 110、 制御信号線
- 112、 フレキケーブル
- 114、 表示信号供給回路群
- 114'、 表示信号供給回路
- 116、 タイミング回路
- 117、 水平同期信号、垂直同期信号等
- 118、 タイミング信号
- 119、 液晶表示装置
- 121、 データドライバ
- 122A~122D、 データドライバ121の4分割ブロック

- 124、TAB・IC (a) (150ビット)
- 126、TAB・IC (b) (150ビット)
- 134、オンパネル・デジタルドライバ
- 135、ホールド用スイッチ
- 136、ラッチイネーブル用ゲートトランジスタ
- 137、データラッチ用コンデンサ
- 138、バッファ
- 140~147、抵抗用トランジスタ ($W=1\mu m\sim 128\mu m$)
- 150~157、スイッチングトランジスタ (BIT0~BIT7)
- 162、表示信号
- 164、アナログスイッチ (2.0mm)
- 166A~166D、表示信号線
- 168A~168D、データバス
- 170、データドライバ
- 170A~170D、データドライバ170の4分割ブロック
- 180、ガラス基板
- 182、ポリシリコン
- 184、ゲート絶縁膜
- 186、ゲート電極
- 188、リフロー用第1層絶縁膜
- 192、ソース電極
- 194、ドレイン電極
- 196、ソース用コンタクトホール
- 198、ドレイン用コンタクトホール
- 200、リフロー用第2層絶縁膜

【書類名】 図面

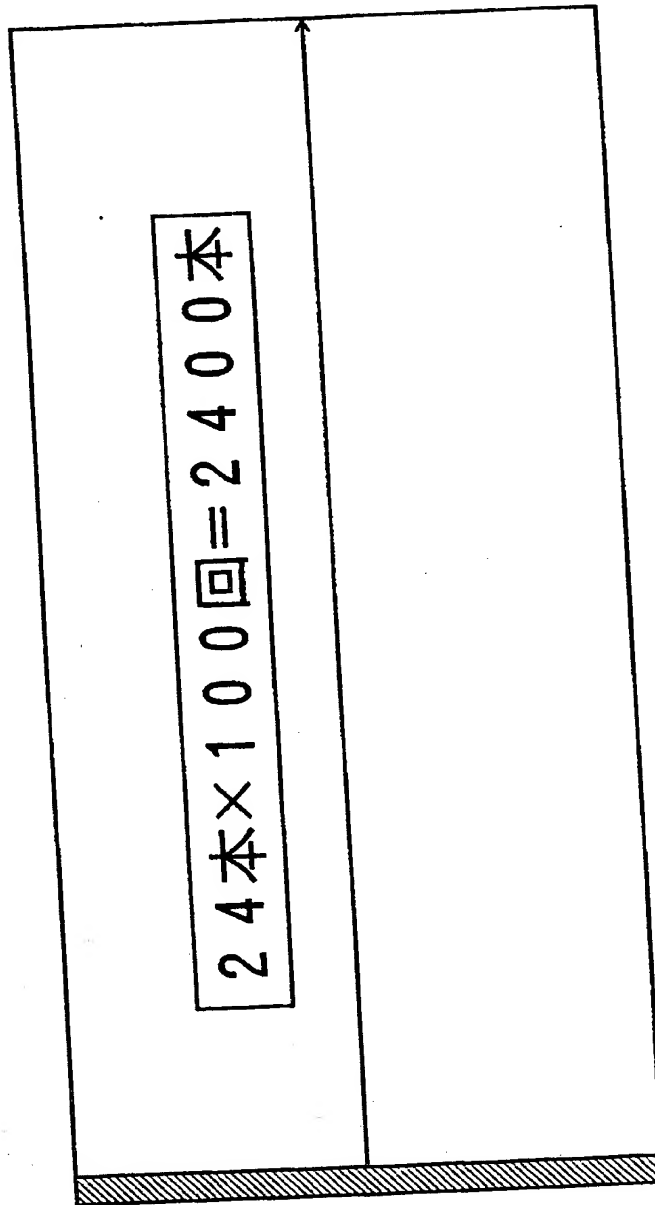
【図 1】

従来の点順次駆動回路の構成図



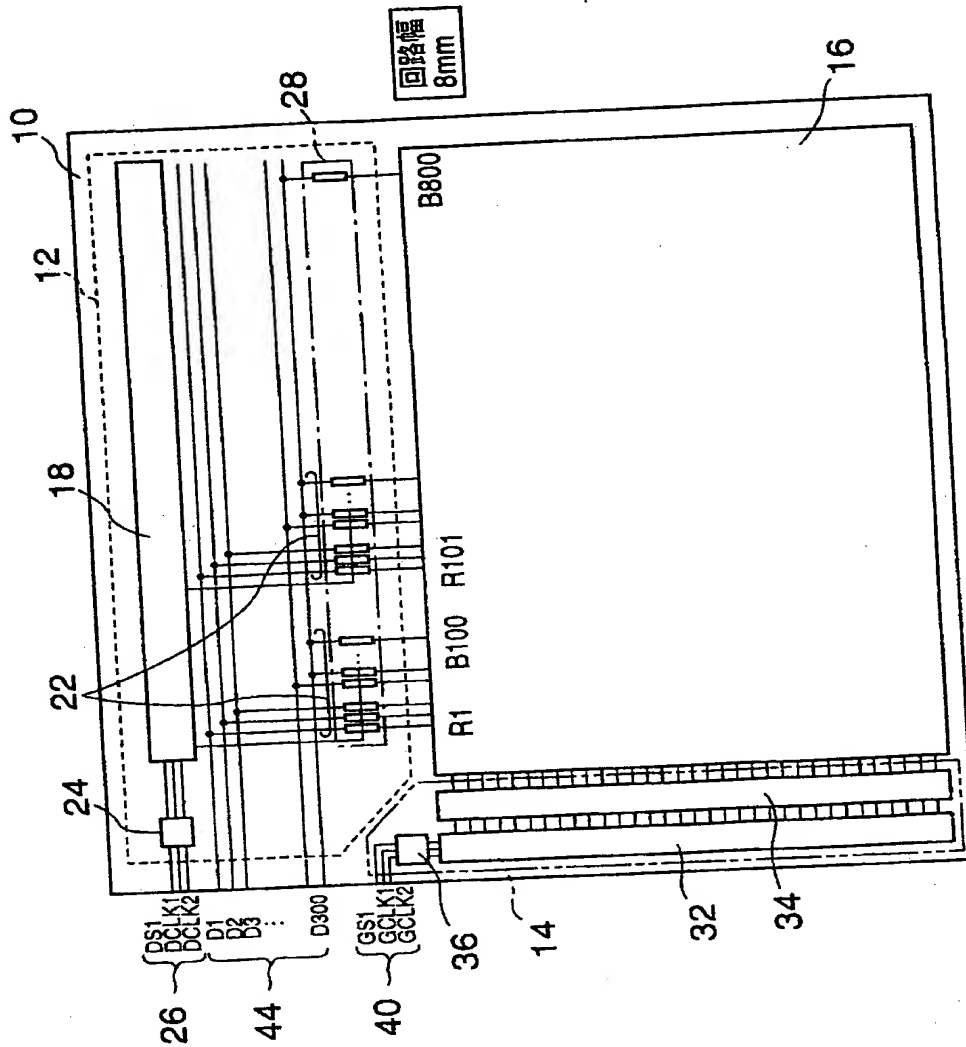
【図 2】

従来の点順次駆動回路の表示信号の書き込み方法を示す図



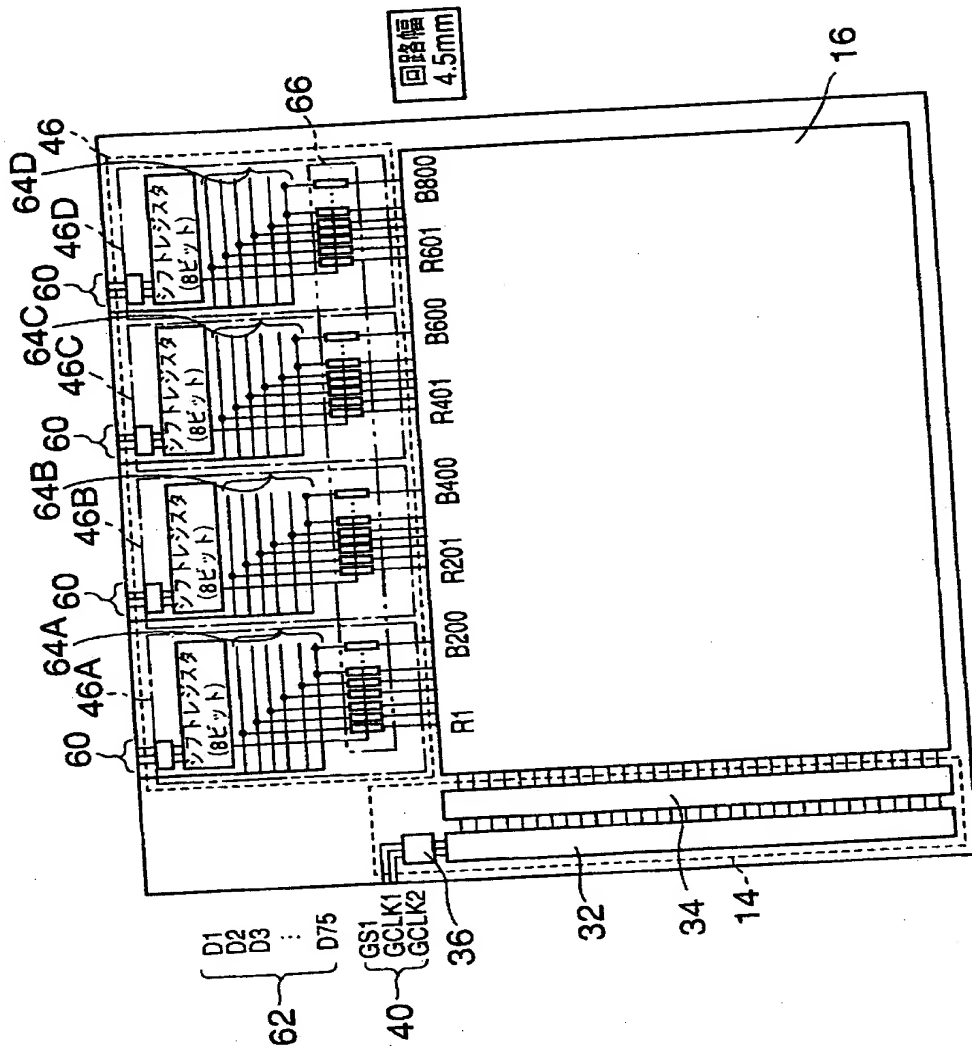
【図 3】

表示信号の入力本数を増した例を示す図



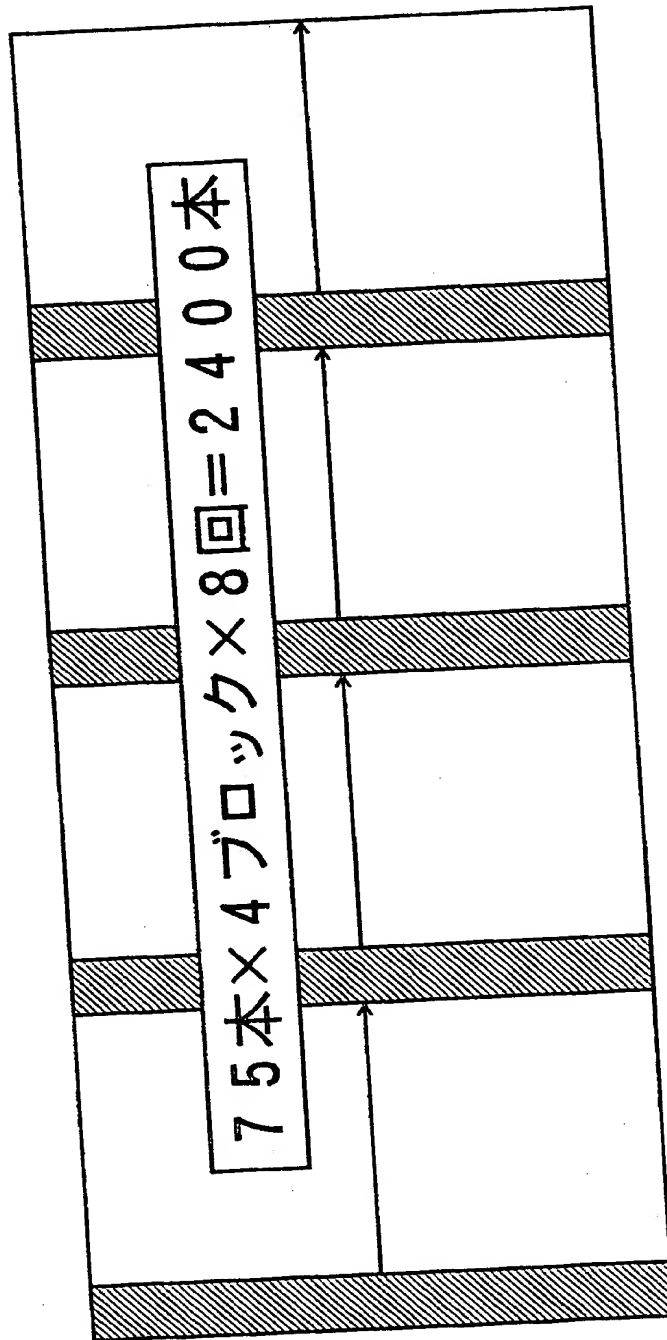
【図4】

本発明の実施の形態の基本構成を示す図



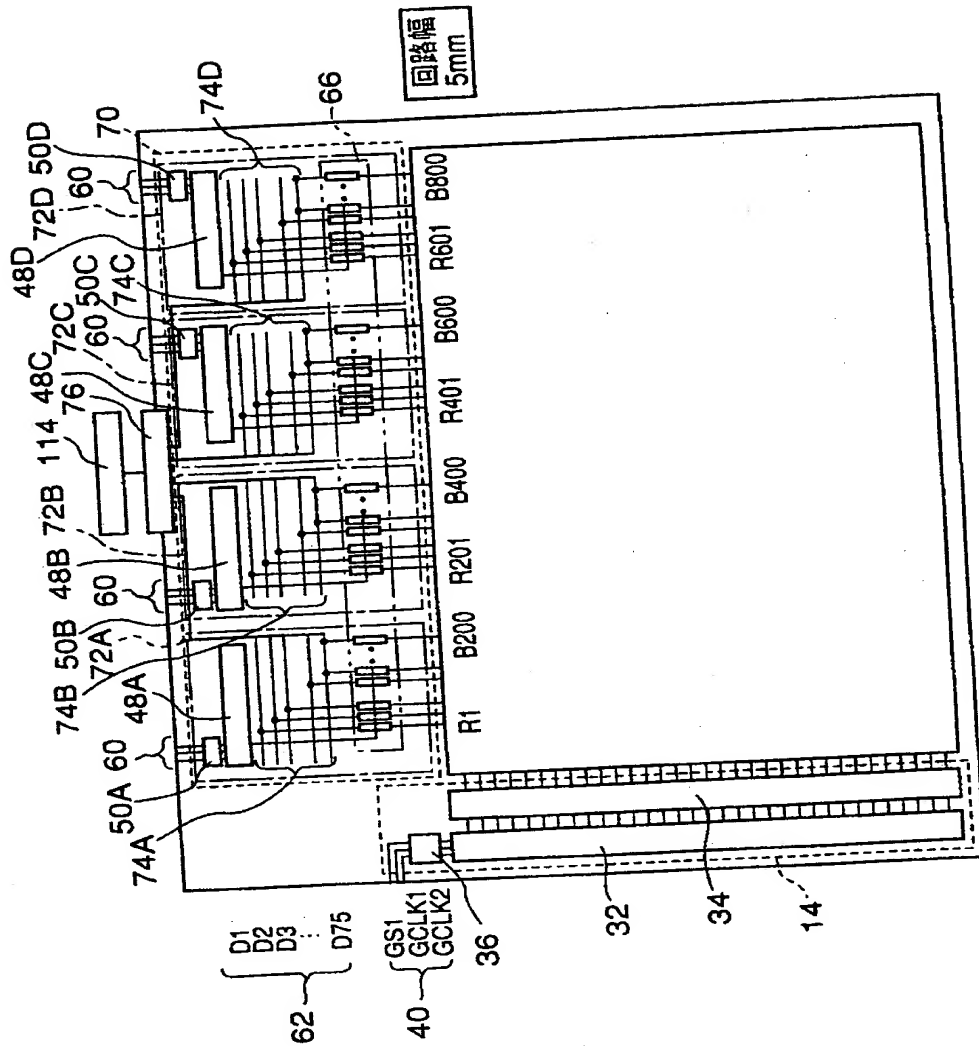
【図5】

図4の回路における表示信号の書き込み方法を示す図



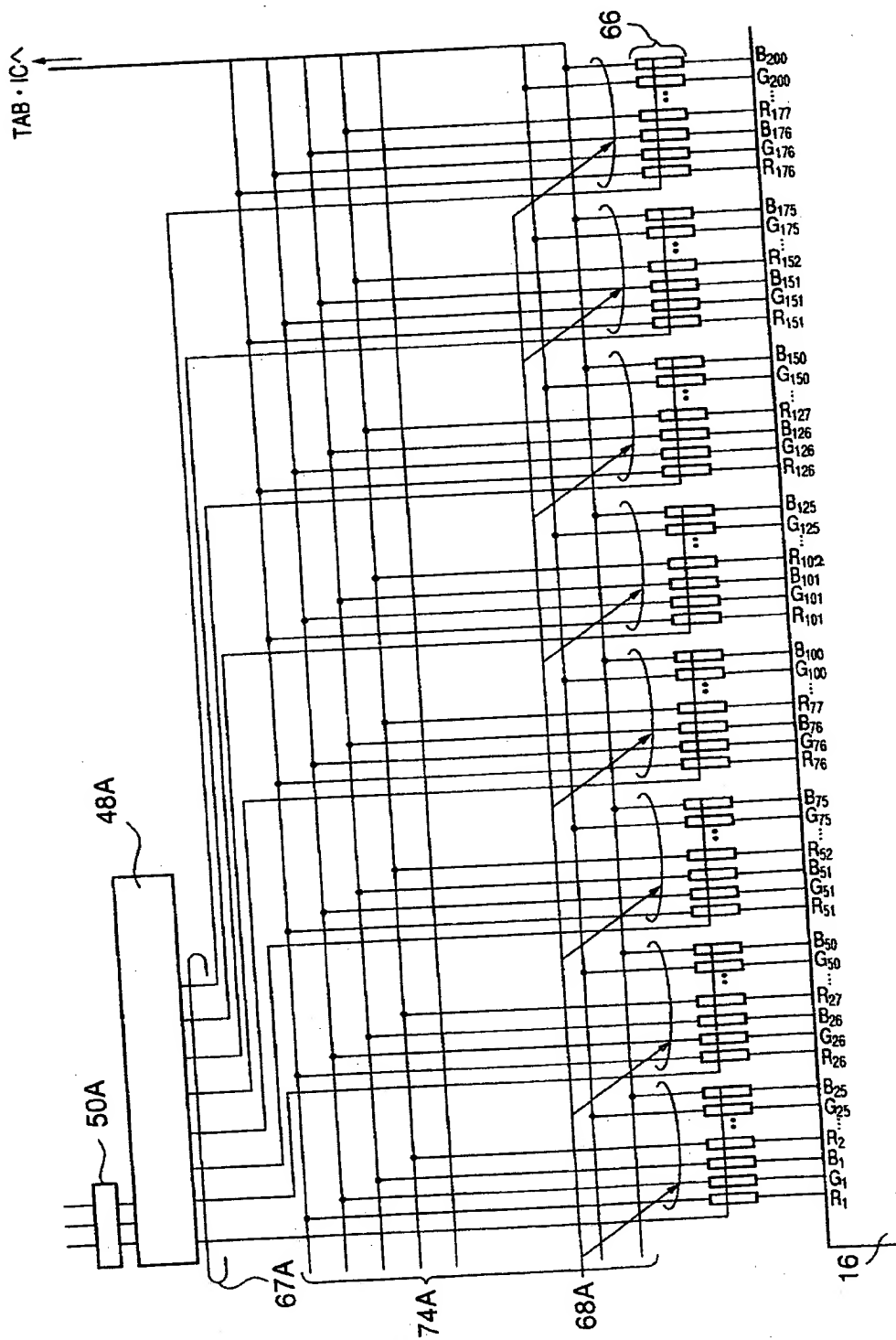
【図 6】

実施例1を示す図



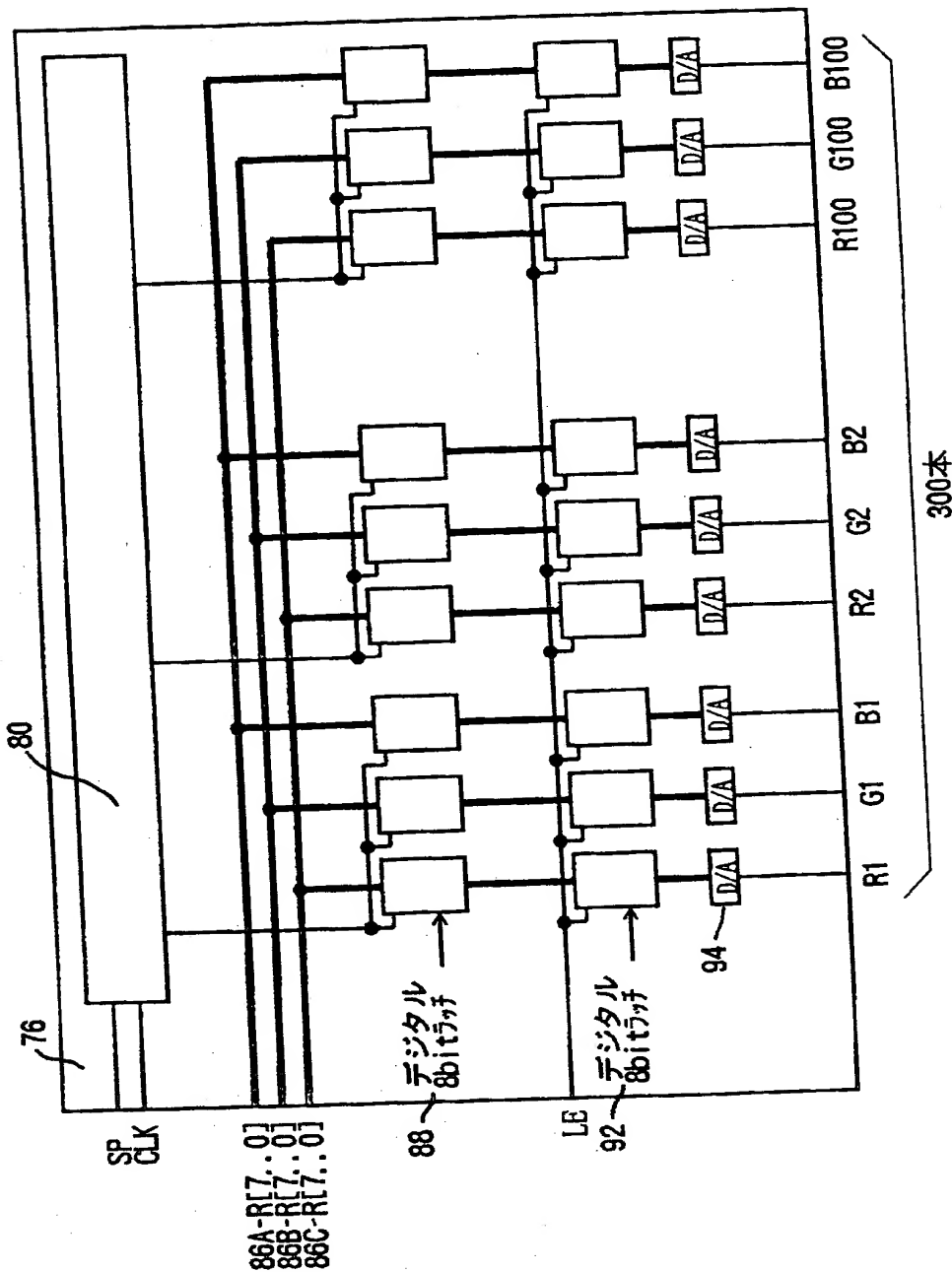
【図 7】

実施例1中のブロック72Aの拡大図



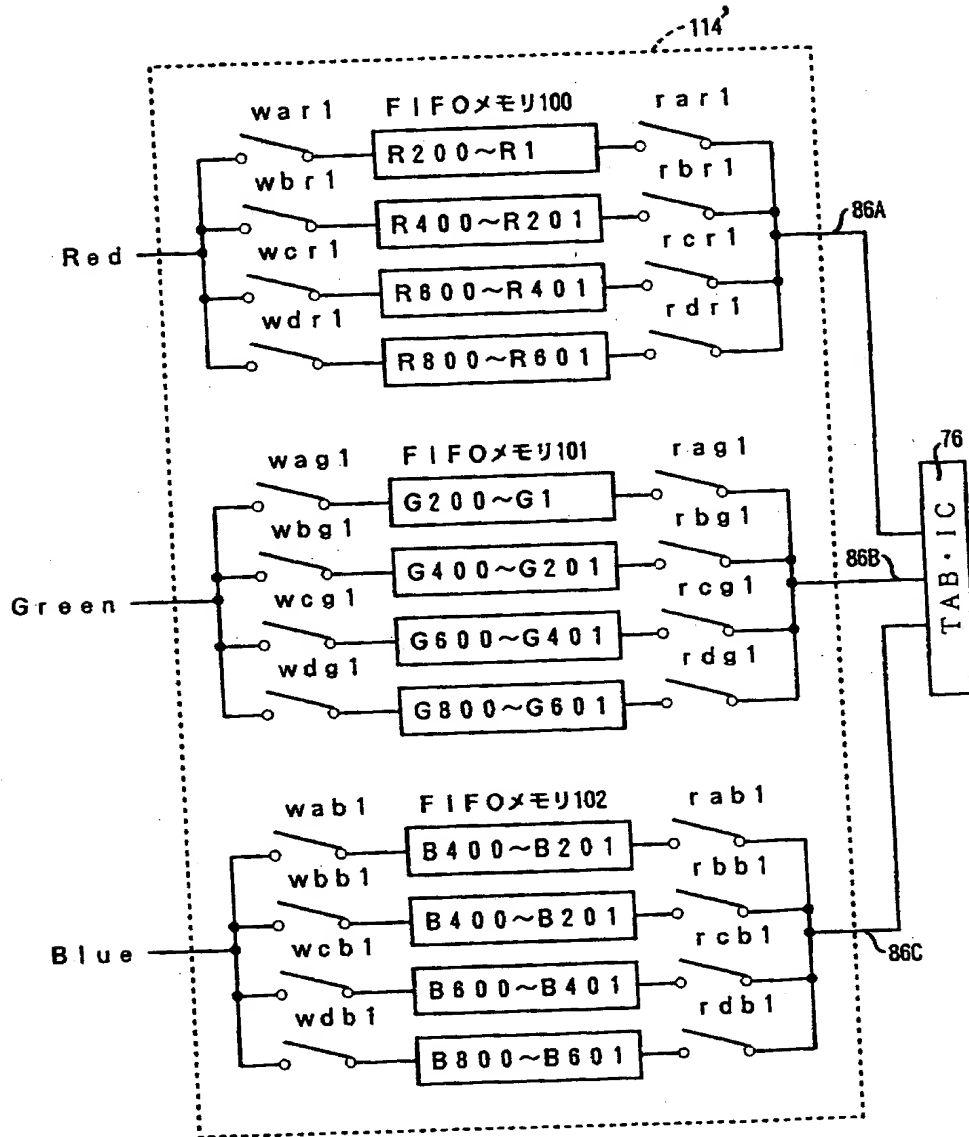
【图 8】

図6のTAB・IC76の内部構成を示す図



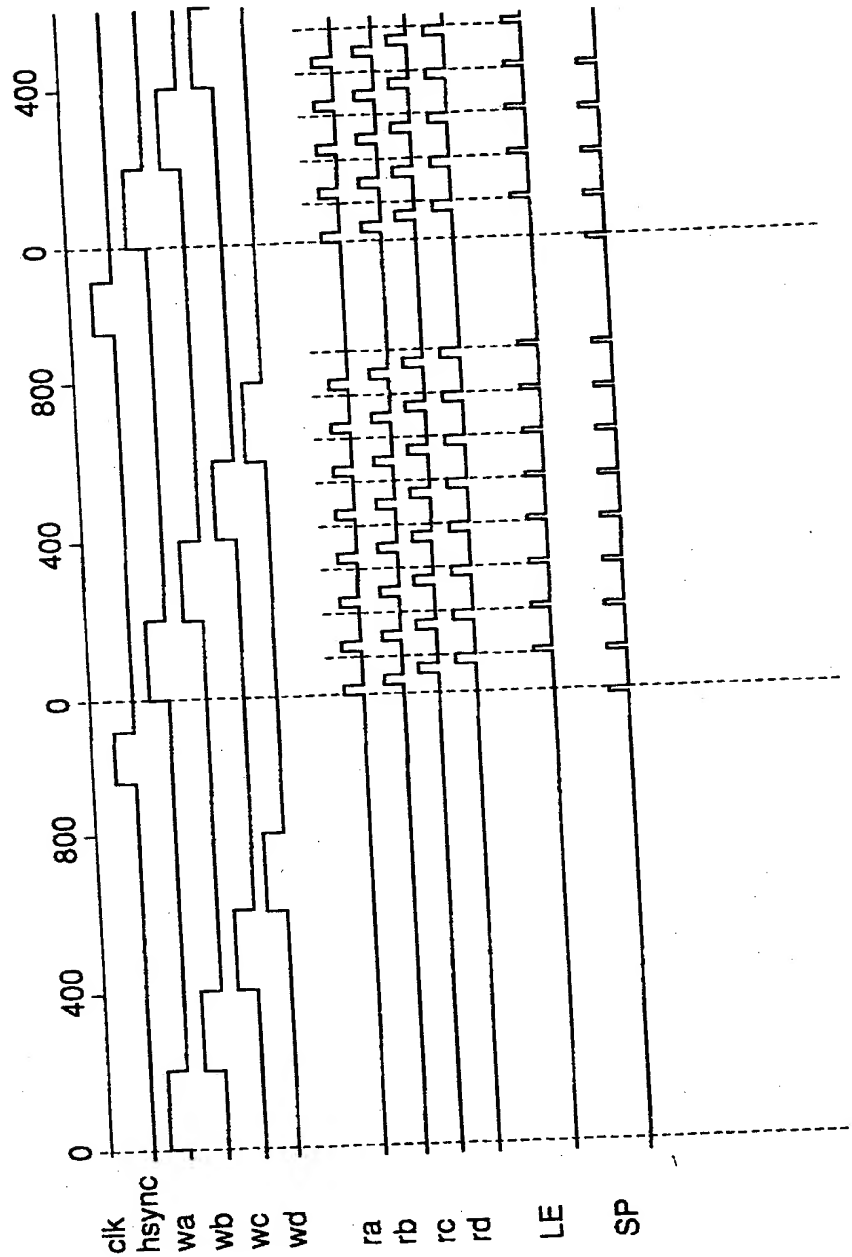
【図 9】

実施例 1 の表示信号供給回路を示す図



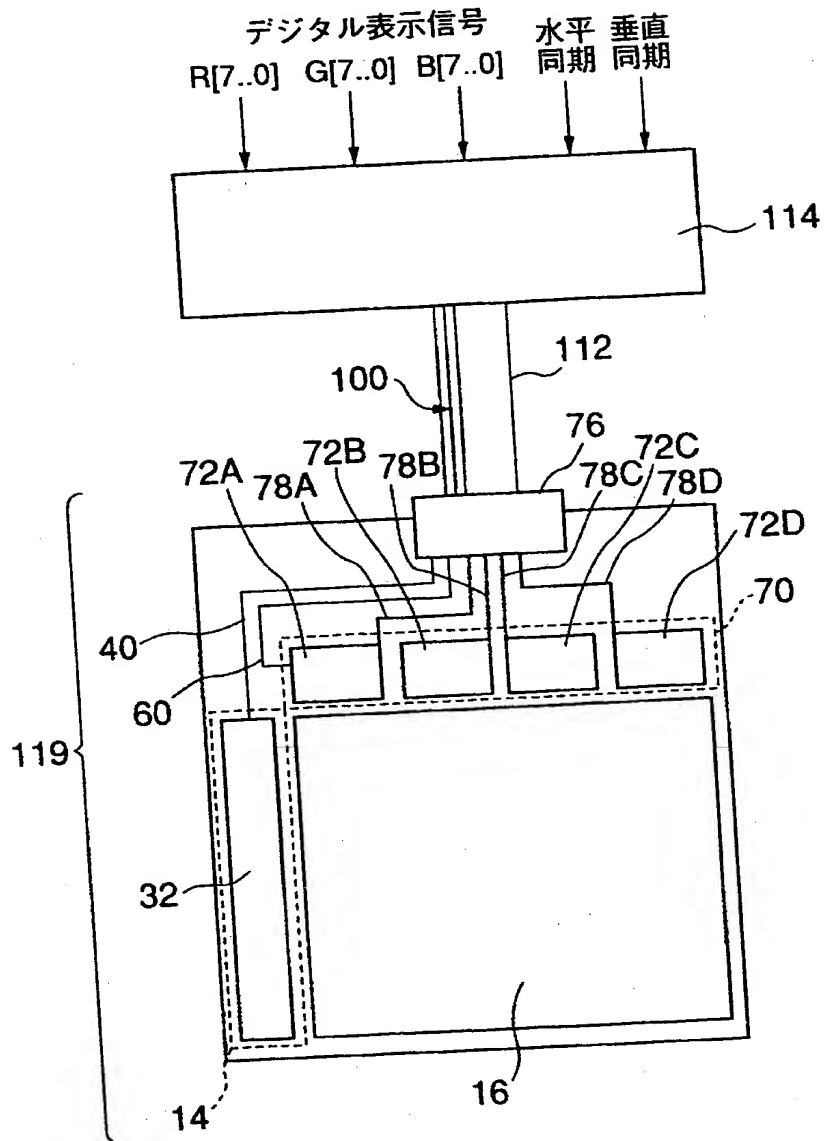
【図10】

実施例1の表示信号供給回路のタイミング図



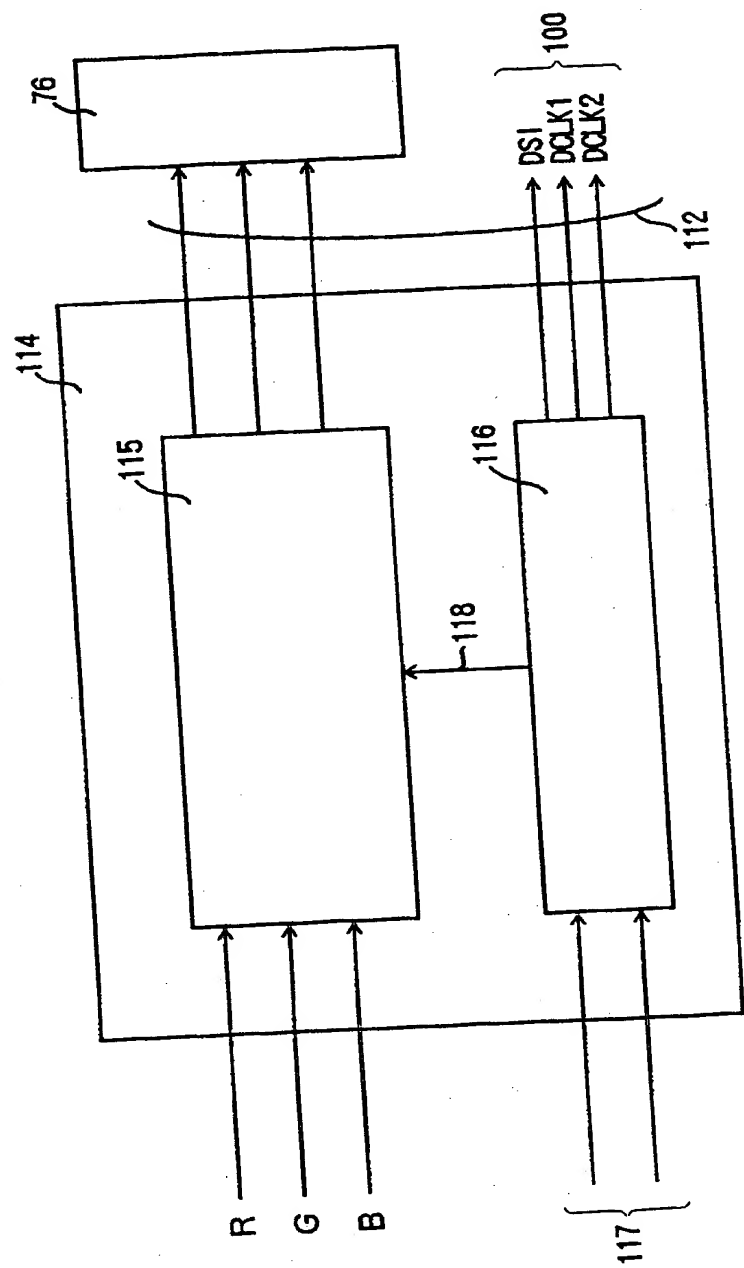
【図 11】

液晶表示装置の全体構成を示す図



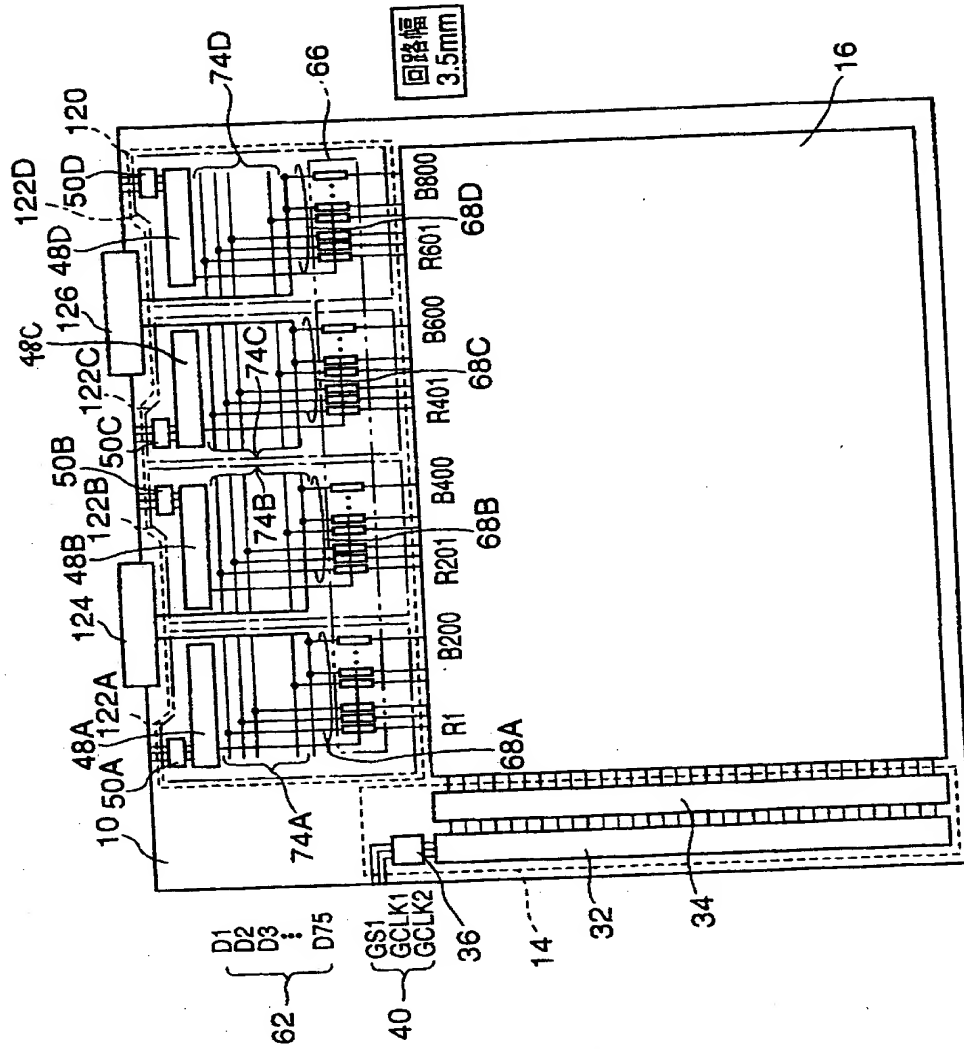
【図 12】

図 11 の液晶表示装置の全体構成における
表示信号供給回路群 114 の構成図



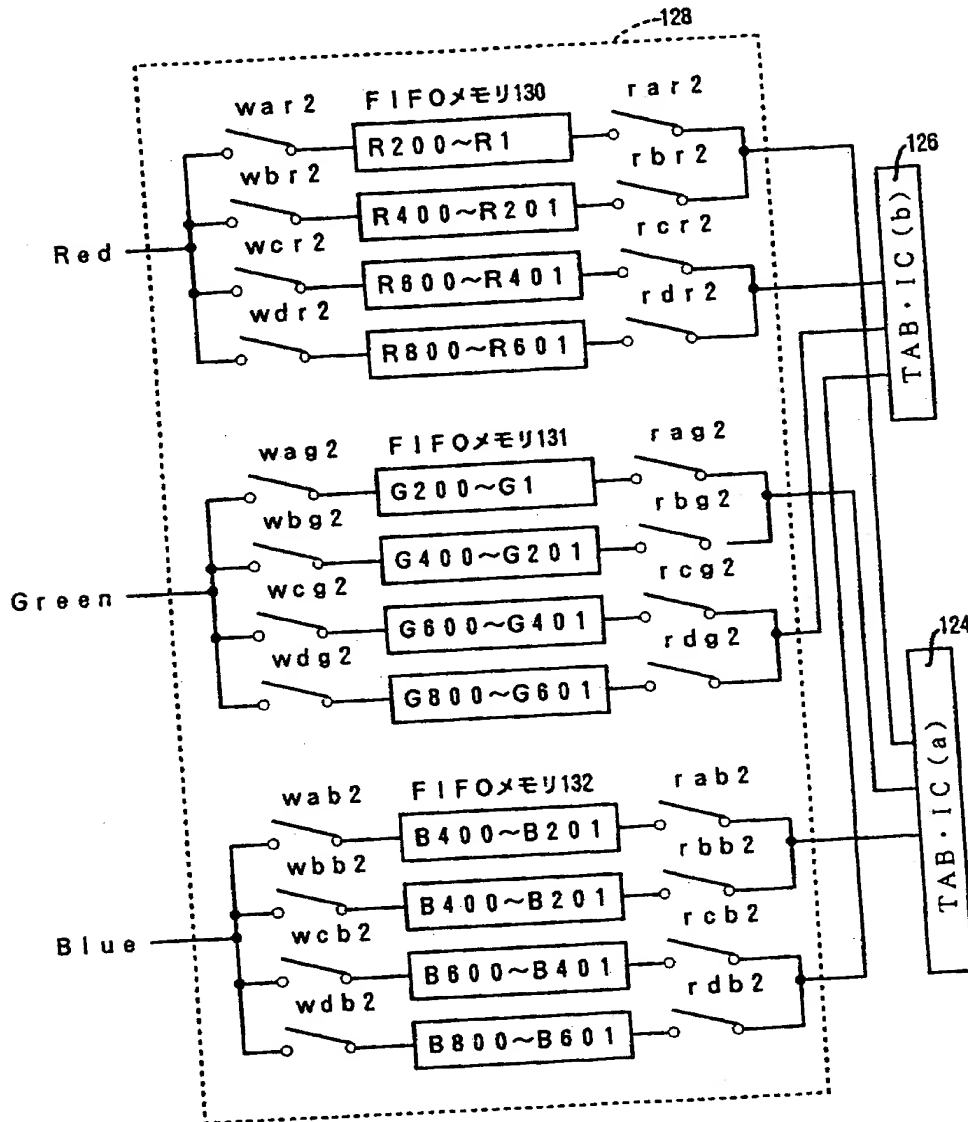
【図13】

実施例2を示す図



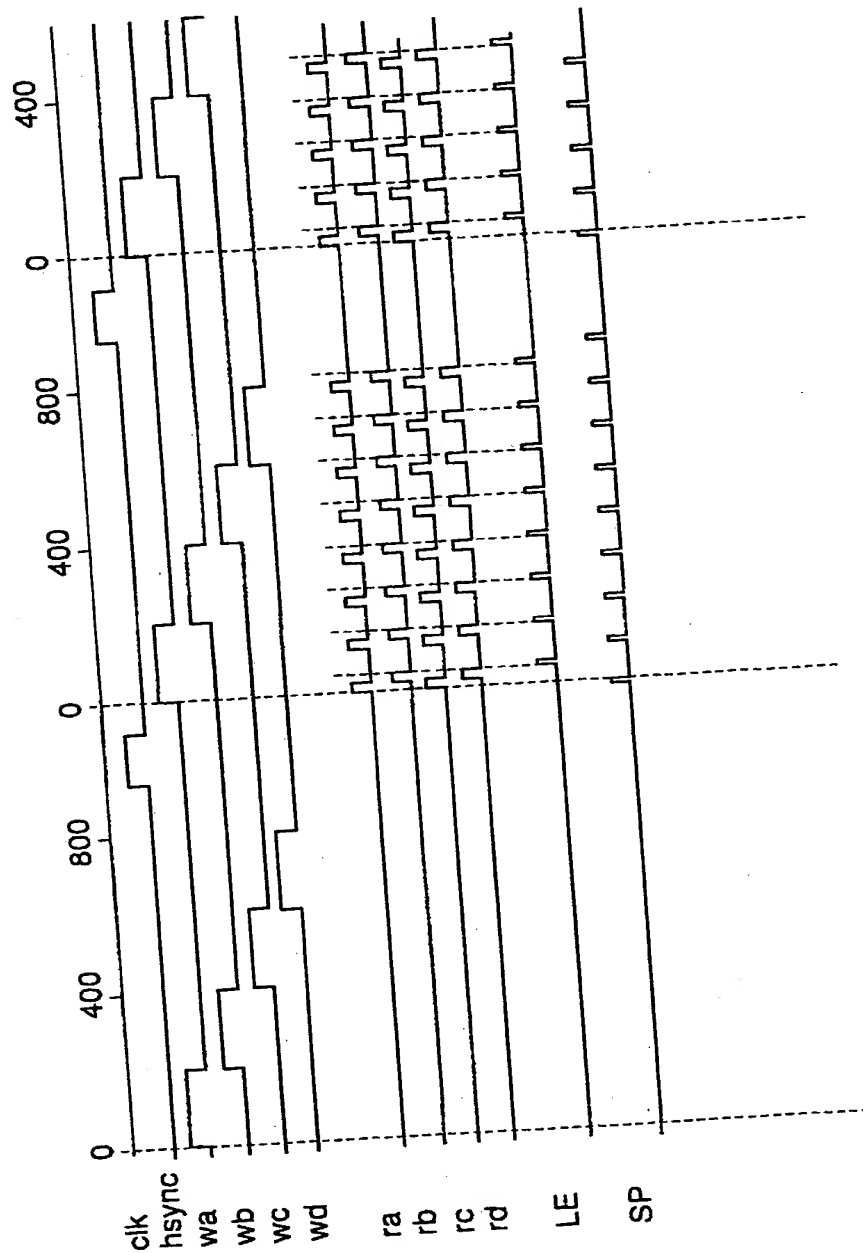
【図14】

実施例2における表示信号供給回路の構成を示す図



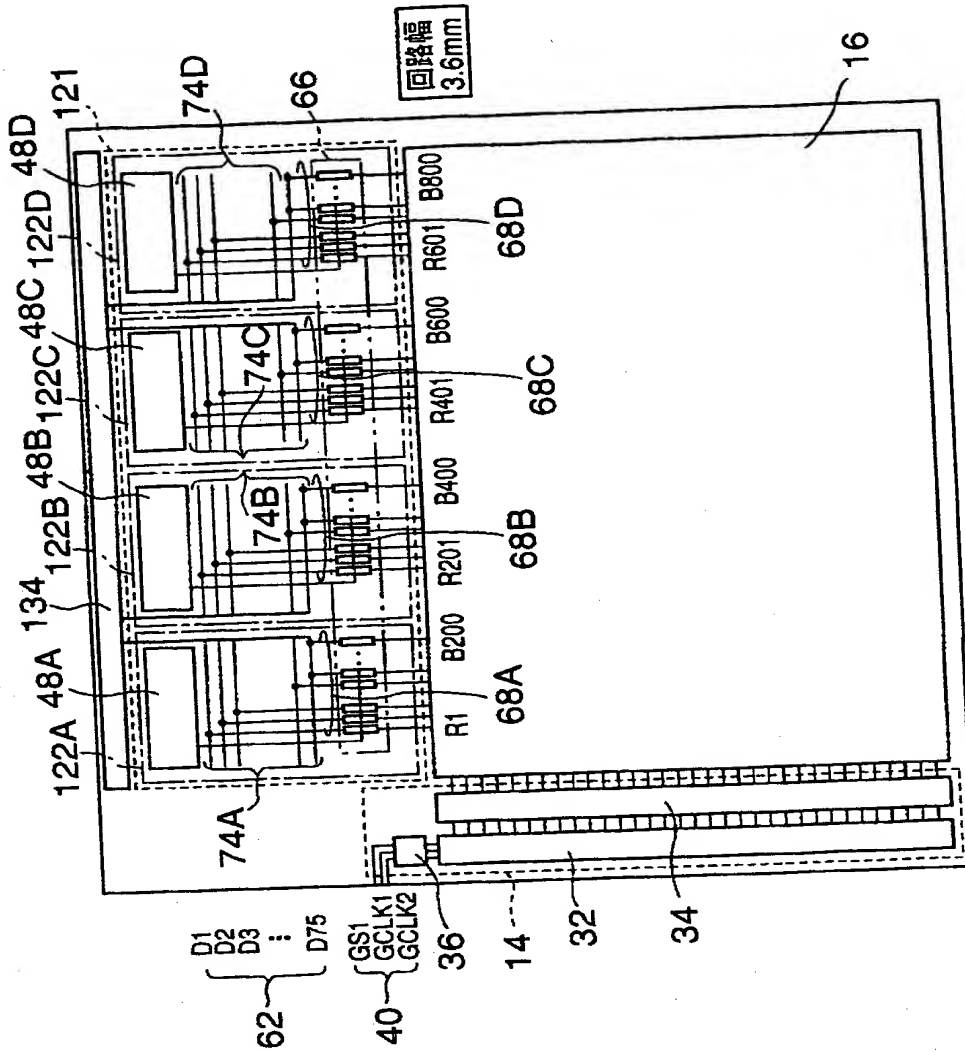
【図 15】

実施例2における表示信号供給回路のタイミング図



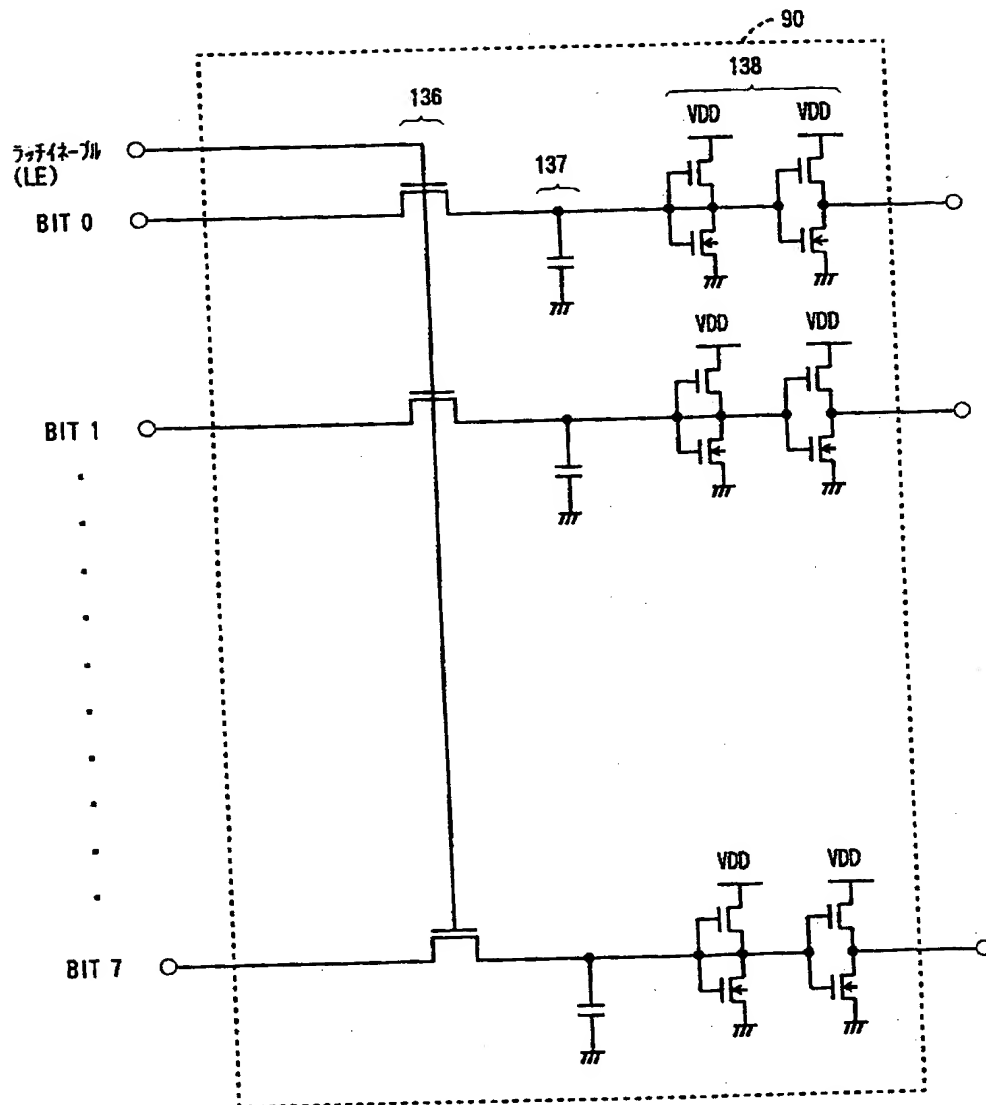
【図16】

実施例3を示す図



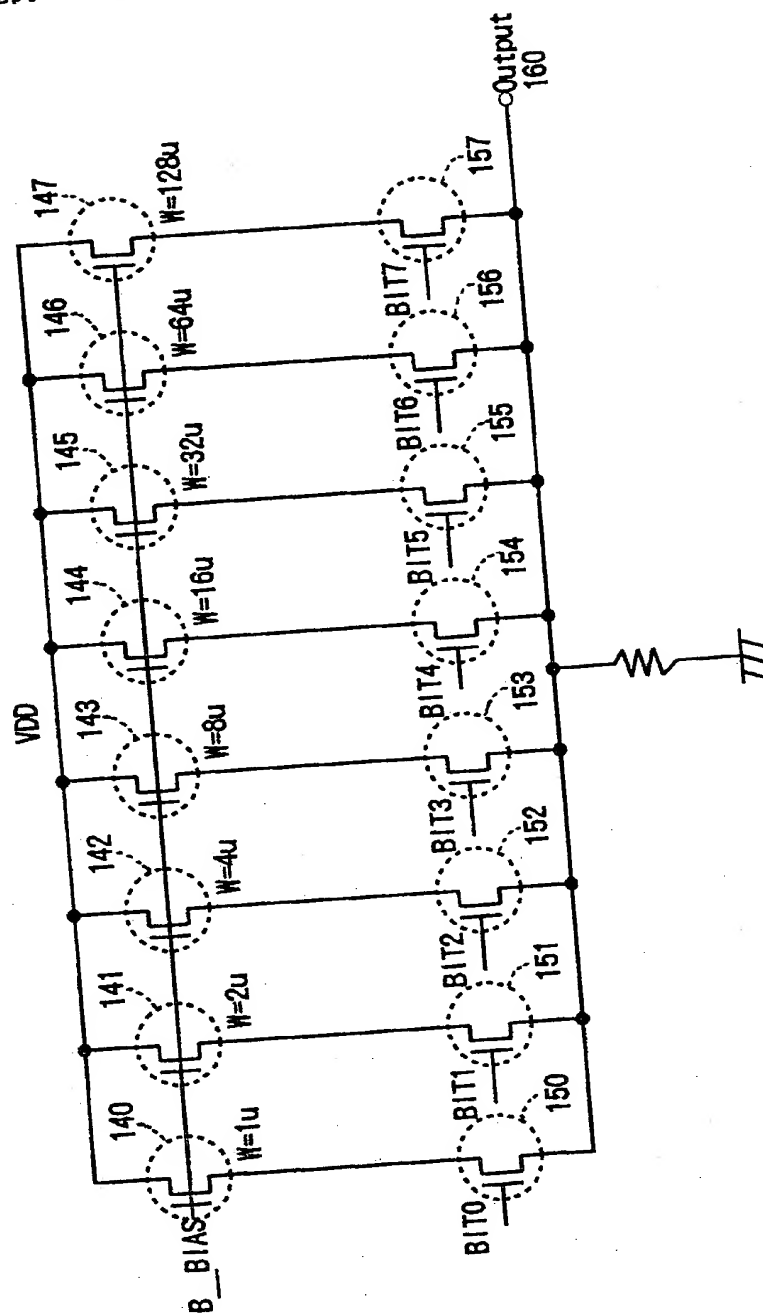
【图 17】

実施例 3 におけるデジタル 8 ビットラッチのブロック構成図



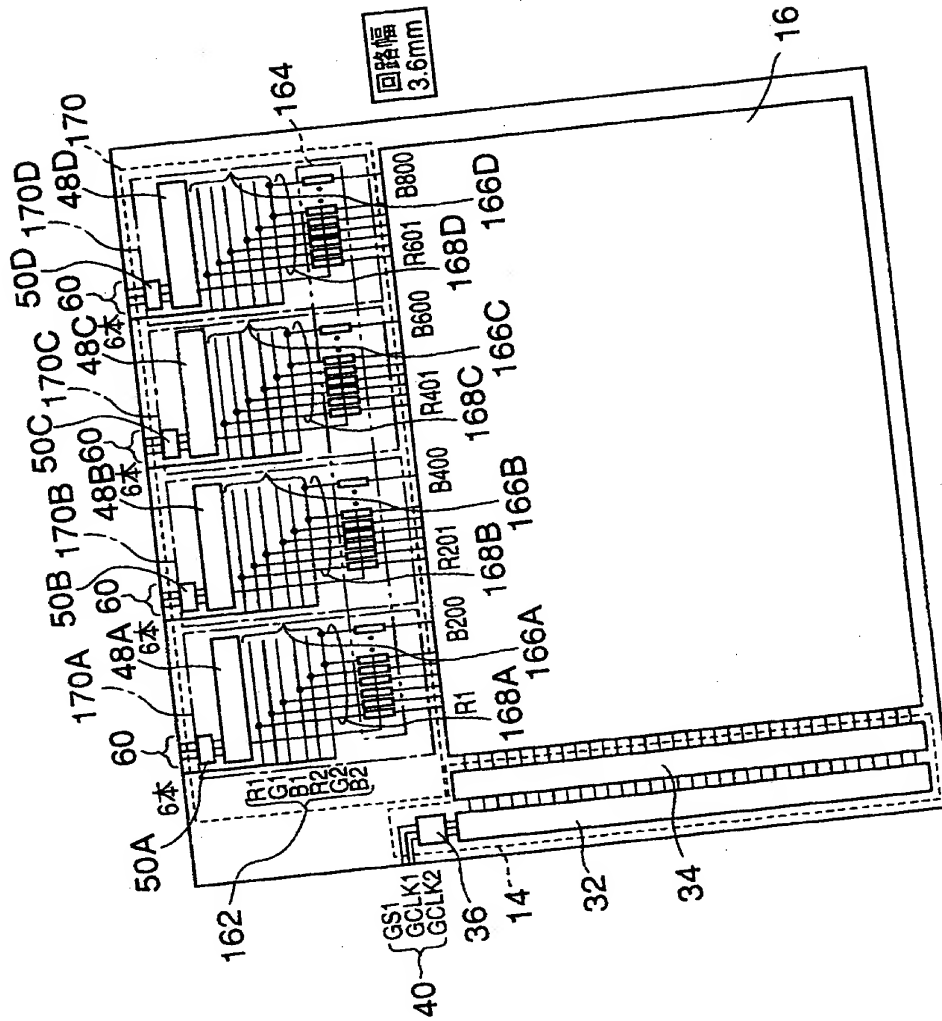
【図18】

実施例3における8ビットD/A内部のブロック構成図



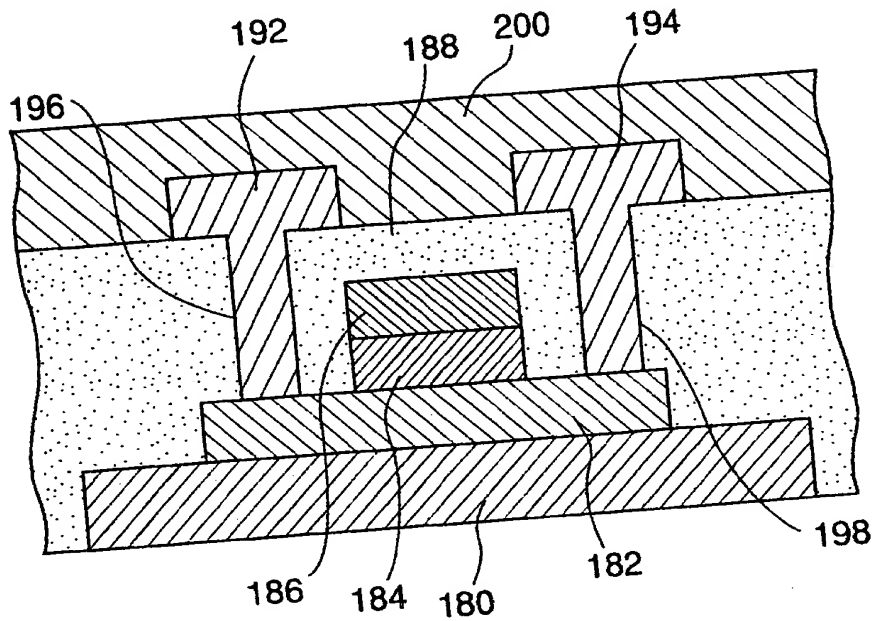
【図19】

実施例4を示す図



【図20】

液晶表示パネルの画素として用いられるポリシリコン
トランジスタの断面構造図



180:ガラス基板

182:ポリシリコン

184:ゲート絶縁膜

186:ゲート電極

188:リフロー用第一層絶縁膜

192:ソース電極

194:ドレイン電極

196:ソース用コンタクトホール

198:ドレイン用コンタクトホール

200:リフロー用第二層絶縁膜

【書類名】

要約書

【要約】

【課題】 本発明は、小型かつ低電力消費の液晶表示装置を提供するものである。

【解決手段】 表示信号配線 74A~74D を複数のブロック（図 6 の例では、4 ブロック）に分割し、各々に表示信号 62 を供給する構成とすることにより、配線領域の縮小化とクロス配線容量の低減化が達成され、大型の液晶表示パネル 16 を実現するものである。

【選択図】

図 6

特平10-137247

【書類名】
【訂正書類】

職権訂正データ
特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

【住所又は居所】

【氏名又は名称】

【代理人】

【識別番号】

【住所又は居所】

【氏名又は名称】

000005223

神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社

申請人

100070150

東京都渋谷区恵比寿4丁目20番3号 恵比寿ガー

デンプレイスタワー32階

伊東 忠彦

特平10-137247

出願人履歴情報

識別番号

[000005223]

1. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住所

神奈川県川崎市中原区上小田中4丁目1番1号

氏名

富士通株式会社